

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本特許庁
JAPAN PATENT OFFICE

JC996 U.S. PRO
09/915385
07/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 6月 8日

出願番号

Application Number:

特願2001-173898

出願人

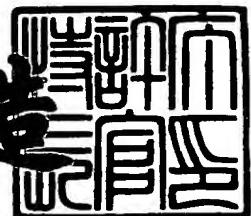
Applicant(s):

古河電気工業株式会社

2001年 6月 15日

特許長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3056470

【書類名】 特許願
【整理番号】 A01137
【提出日】 平成13年 6月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/306
【発明の名称】 半導体レーザ素子及びその作製方法
【請求項の数】 5
【発明者】
【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
【氏名】 横関 弥樹博
【発明者】
【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
【氏名】 岩井 則広
【発明者】
【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
【氏名】 粕川 秋彦
【特許出願人】
【識別番号】 000005290
【氏名又は名称】 古河電気工業株式会社
【代表者】 古河 潤之助
【代理人】
【識別番号】 100096231
【弁理士】
【氏名又は名称】 稲垣 清
【選任した代理人】
【識別番号】 100095326

【弁理士】

【氏名又は名称】 畑中 芳実

【先の出願に基づく優先権主張】

【出願番号】 特願2000-228485

【出願日】 平成12年 7月28日

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305593

【包括委任状番号】 9302325

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ素子及びその作製方法

【特許請求の範囲】

【請求項1】 レーザ構造を構成する化合物半導体積層体内に、第1の化合物半導体層と、第1の化合物半導体層下に第1の化合物半導体層とは異なる化合物半導体層からなるエッティングストップ層とを備え、第1の化合物半導体層をエッティングする際に、エッティングストップ層によってエッティング深さを制御することにより作製される半導体レーザ素子において、

第1化合物半導体層とエッティングストップ層との間に、第1の化合物半導体層及びエッティングストップ層の双方と異なる第2の化合物半導体層が介在していることを特徴とする半導体レーザ素子。

【請求項2】 第1の化合物半導体層が少なくともAlを含む化合物半導体層であり、エッティングストップ層が少なくともPを含む化合物半導体層であり、第2の化合物半導体層がAl及びPの双方を含まない化合物半導体層であることを特徴とする請求項1に記載の半導体レーザ素子。

【請求項3】 第1の化合物半導体層、エッティングストップ層、及び第2の化合物半導体層が、それぞれ、AlGaAs層、InGaP層、及びGaAs層であることを特徴とする請求項2に記載の半導体レーザ素子。

【請求項4】 半導体レーザ素子を構成する化合物半導体積層体の一部として、化合物半導体からなるエッティングストップ層、続いてエッティングストップ層上にエッティングストップ層とは組成の異なる第1の化合物半導体層を成膜し、次いで第1の化合物半導体層をエッティングする際に、エッティングストップ層によってエッティング深さを制御することにより、半導体レーザ素子を作製する方法であって、

エッティングストップ層を成膜した後、第1の化合物半導体層及びエッティングストップ層の双方と異なる第2の化合物半導体層を成膜する工程と、

第2の化合物半導体層上に第1の化合物半導体層を成膜する工程と、

次いで、エッティングストップ層まで、第1の化合物半導体層及び第2の化合物半導体層をエッティングする工程と

を有することを特徴とする半導体レーザ素子の作製方法。

【請求項5】 上記エッチングストップ層（以下、第1のエッチングストップ層と言う）を下地層上に成膜する前に、下地層上に第1のエッチングストップ層に対してエッティング選択性を有する化合物半導体層からなる第2のエッティングストップ層を成膜する工程を有し、

第2のエッティングストップ層をエッティングストップ層として、第1のエッティングストップ層をエッティングする工程を有することを特徴とする請求項4に記載の半導体レーザ素子の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体レーザ素子及びその作製方法に関し、更に詳細には、レーザ特性が良好で信頼性の高い半導体レーザ素子、例えば980nm帯の内部狭窄型（セルフアライン・ストラクチャー、以下、SASと言う）半導体レーザ素子として最適な半導体レーザ素子及びその作製方法に関するものである。

【0002】

【従来の技術】

エルビウム・ドープド・光ファイバ増幅器（EDFA）システムの励起光源に用いられる高出力半導体レーザ素子として、980nm帯のSAS半導体レーザ素子が注目されており、その研究開発が進展している。

内部ストライプ構造であるSAS半導体レーザ素子を作製する過程には、電流ブロッキング構造を形成する際、n-電流ブロッキング層を成膜した後、成膜したn-電流ブロッキング層をストライプ状にエッティングして、次いでp-クラッド層を成膜する工程がある。

【0003】

レーザ特性の良好なSAS半導体レーザ素子を作製するには、エッティング工程で、エッティング深さを厳密に制御して被エッティング層のみをエッティングし、被エッティング層下の下地層をオーバーエッティングしないようにすることが、極めて重要である。

通常、エッティングレート、或いはエッティング時間を制御することにより、エッティング深さを調整しているが、正確な深さに調整することは難しい。そこで、エッティング深さを正確に制御するために、被エッティング層の下にエッティングストップ層を成膜し、エッティングの進行を自動的にエッティングストップ層の表面で停止させることが多い。

エッティングストップ層は、エッティングガス又はエッチャント等のエッティング媒体に対して被エッティング層に比べてエッティングレートが著しく低い物質層、つまりエッティング選択性を有する物質層であって、被エッティング層の下にエッティングストップ層を成膜することにより、エッティングレートの違いによって、エッティングの進行がエッティングストップ層で自動的に停止する。

【0004】

電流ブロッキング層のエッティングの深さを厳密に制御することが必要なS A S半導体レーザ素子等の作製、特にE D F Aシステムの励起光源として注目されている高出力の980 nm帯のS A S半導体レーザ素子の作製では、エッティングストップ層が必要不可欠である。

【0005】

980 nm帯S A S半導体レーザは、G a A s基板上に、活性層としてI n G a A s層を、クラッド層としてA 1 G a A s層を備えている。

作製に際しては、n-G a A s基板上に、n-A 1 G a A sクラッド層、I n G a A s活性層、p-A 1 G a A sクラッド層、n-A 1 G a A s電流ブロッキング層、n-G a A sキャップ層等を積層し、次いでn-G a A sコンタクト層及びn-A 1 G a A s電流ブロッキング層をエッティングして、p-A 1 G a A sクラッド層を露出させる際、エッティングストップ層としてA 1 G a A s層に対してエッティング選択性を有し、かつG a A s基板に格子整合するI n_{0.49}G a_{0.51}P層が用いられることが多い。

また、必要に応じ、n-A 1 G a A sクラッド層とI n G a A s活性層の間、及び活性層とp-A 1 G a A sクラッド層との間に、ノンドープのA 1 G a A sからなるS C H層を設けた構造も提案されている。

更に、一層のエッティングストップ層の改良案として、2層構造のエッティングス

トップ層を設ける方法も、提案されている。

【0006】

ここで、図3及び図4を参照して、980nm帯のSAS半導体レーザ素子を作製する従来の方法を説明する。図3及び図4(a)から(c)は、それぞれ、980nm帯のSAS半導体レーザ素子を作製するに当たり、従来の方法によつて積層構造をエッチングする際の工程毎の断面図である。

本方法では、GaAs層及びAlGaAs電流ブロッキング層をエッチングする際に、2層構造のエッチングストップ層を用いている。

まず、図3に示すように、n-GaAs基板12上に、n-Al_{0.3}Ga_{0.7}Asクラッド層14、Al_{0.2}Ga_{0.8}As SCH層16、GaAs_{0.9}P_{0.1}バリア層18、In_{0.2}Ga_{0.8}As活性層20、GaAs_{0.9}P_{0.1}バリア層22、及び、Al_{0.2}Ga_{0.8}As SCH層24を、順次、積層する。

更に、Al_{0.2}Ga_{0.8}As SCH層24上に、p-Al_{0.3}Ga_{0.7}Asクラッド層26、膜厚10nmのp-GaAs第1エッチングストップ層28、膜厚10nmのn-In_{0.49}Ga_{0.51}P第2エッチングストップ層30、膜厚200nmのn-Al_{0.35}Ga_{0.65}As電流ブロッキング層32、及びp-GaAsキャップ層34の積層構造を形成する。

【0007】

SAS半導体レーザ素子を作製するためには、n-Al_{0.35}Ga_{0.65}As電流ブロッキング層32、p-GaAsキャップ層34のみをストライプ状にエッチングする必要がある。

そこで、p-GaAsキャップ層34及びn-Al_{0.35}Ga_{0.65}As電流ブロッキング層32をエッチングするためには、図3に示すように、エッチングマスク36を形成する。

【0008】

続いて、エッチャントとして、n-In_{0.49}Ga_{0.51}P第2エッチングストップ層30に対してエッチング選択性を示す酒石酸やクエン酸等のエッチング液を用いて、図4(a)に示すように、p-GaAsキャップ層34及びn-Al_{0.35}Ga_{0.65}As電流ブロッキング層32をエッチングする。エッチングの進行を

、 $n - In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30で停止させた後、エッティングマスク36をエッティング除去する。

次に、エッチャントとして、 $p-GaAs$ 第1エッティングストップ層28に対してエッティング選択性を示す塩酸系エッチャント ($HCl : H_2PO_4 = 1 : 3$) を用いて、図4 (b) に示すように、 $n - In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30をエッティングして、除去する。エッティングの進行は、 $p-GaAs$ 第1エッティングストップ層28で停止する。

【0009】

次いで、図4 (c) に示すように、 $p-GaAs$ キャップ層34及び $p-GaAs$ 第1エッティングストップ層28上に、 $p-Al_{0.3}Ga_{0.7}As$ クラッド層38及び $p-GaAs$ キャップ層34を再成長させる。

これにより、980nm帯のSAS半導体レーザ素子のレーザ構造40を作製することができる。

【0010】

【発明が解決しようとする課題】

しかし、上述した従来の方法によって980nm帯のSAS半導体レーザ素子を作製した際、 $p-In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30と $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32との界面に双方の組成とは異なる組成の中間層が形成されることにより、 $p-In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30の耐性が低下し、 $n-Al_{0.3}Ga_{0.7}As$ クラッド層26が再成長表面に曝される。その結果、例えば、動作電圧及びしきい値電流が著しく高いという問題があった。

つまり、そのレーザ特性及び信頼性が実用的に必ずしも満足できるレベルにはなく、更なる改良が要望されていた。

【0011】

例えば、ストライプ幅が $2.5\mu m$ で、共振器長が $1200\mu m$ で、出射端面に反射率5%の反射防止膜、及び出射端面と反対側の端面に反射率92%の高反射膜をそれぞれ設けた、上述のレーザ構造40を作製するに当たり、 $p-GaAs$ キャップ層34及び $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32をエッ

チングする際、第2エッティングトップ層30の耐性が維持され、エッティングが第2エッティングトップ層30で停止したときには、作製したレーザ構造40のしきい値電流は17mAであり、注入電流が100mAのときの動作電圧は1.4Vであった。

一方、同じレーザ構造40を作製したとき、第2エッティングトップ層30の耐性が低下し、 $n-Al_{0.3}Ga_{0.7}As$ クラッド層26が再成長表面に曝されたときには、しきい値電流は40mA～100mAに増大し、注入電流が100mAのときの動作電圧は1.7V～2.0Vに上昇した。

【0012】

上述の説明では、980nm帯のSAS半導体レーザ素子を作製する際の2層構造のエッティングトップ層の問題点を例に上げて、被エッティング層とエッティングトップ層との間の問題点を説明しているが、この問題は2層構造のエッティングトップ層に限らず、また、980nm帯のSAS半導体レーザ素子の作製の際に限らず、被エッティング層とエッティングトップ層との間に起こる問題である。

半導体レーザ素子を作製する際、化合物半導体層をエッティングして、所望の形状に加工することが多く、例えば、リッジの形成では、化合物半導体層の積層構造の上部をエッティングし、また、回折格子の形成等では、一つの化合物半導体層をエッティングする。この場合でも、被エッティング層の下にエッティングトップ層が形成されている場合には、上述の例と同じ問題が生じる。

【0013】

そこで、本発明の目的は、化合物半導体層からなるエッティングトップ層によってその上の化合物半導体層のエッティング深さを制御することにより作製した半導体レーザ素子であっても、レーザ特性及び信頼性の良好な半導体レーザ素子を提供すること、更にそのような半導体レーザ素子の作製方法を提供することである。

【0014】

【課題を解決するための手段】

本発明者は、上述した従来の方法によって作製した980nm帯のSAS半導

体レーザ素子のレーザ特性及び信頼性が好ましくない原因を調べ、次のことを見い出した。

$p - I_{n0.49}G_{a0.51}P$ 第2エッティングストップ層30上に $n - Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32を成長させると、図5(a)に示すように、その界面に、第2エッティングストップ層30と電流ブロッキング層32の構成原子が複雑に混ざった不均一な組成の中間層31が形成される。

第2エッティングストップ層30上に電流ブロッキング層32を成長させる際、電流ブロッキング層32の成長が理想的に進行するときには、例えば実験的に理想的な条件で電流ブロッキング層32を成長させるときには、中間層31は形成されないものの、実際の成長工程で、MOCVD法等によって実用的な速度で電流ブロッキング層32を成長させるときには、構成原子が複雑に混ざった中間層31が形成される。

その中間層31では、エッティングレートも不均一になるので、 $n - Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32をエッティングした際、 $p - I_{n0.49}G_{a0.51}P$ 第2エッティングストップ層30の表面が不均一にエッティングされ、荒れた表面になる。

そのため、 $p - I_{n0.49}G_{a0.51}P$ 第2エッティングストップ層30が10nm以下と薄い場合には、図5(b)に示すように、 $p - I_{n0.49}G_{a0.51}P$ 第2エッティングストップ層30に局所的に穴が開いてしまい、その下の $p - GaAs$ 第1エッティングストップ層28及び $p - Al_{0.3}Ga_{0.7}As$ クラッド層26までエッティングされてしまう。

【0015】

また、 $p - Al_{0.3}Ga_{0.7}As$ クラッド層26、すなわちAl系材料が再成長界面に露出していると、Al材料の表面酸化が起こるために、 $p - Al_{0.35}Ga_{0.65}As$ クラッド層38を再成長させる時に結晶欠陥が発生する。そのために、SAS半導体レーザ素子のレーザ特性及び信頼性が低下する。

例えば、表面に露出した $p - Al_{0.3}Ga_{0.7}As$ クラッド層26上に、 $p - Al_{0.35}Ga_{0.65}As$ クラッド層38を再成長させて、SAS半導体レーザ素子を作製し、レーザ特性を評価したところ、動作電圧及びしきい値が著しく高くなっ

た。

【0016】

また、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32／ $n-In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30の界面に中間層が形成されていると、 $n-In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30をエッティングして取り除く際、中間層周りの $n-In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30が局所的に除去し難くなるという問題もあった。

【0017】

そこで、本発明者は、電流ブロッキング層32と第2エッティングストップ層30との間に電流ブロッキング層32及び第2エッティングストップ層30の双方と異なる化合物半導体層、例えば $GaAs$ 層を挿入することにより、電流ブロッキング層32と第2エッティングストップ層30とを離間して、中間層の生成を防止し、これにより、第2エッティングストップ層30のエッティング耐性を向上させることを着想し、実験を重ねて本発明を発明するに到った。

【0018】

上記目的を達成するために、上述した知見に基づいて、本発明に係る半導体レーザ素子は、レーザ構造を構成する化合物半導体積層体内に、第1の化合物半導体層と、第1の化合物半導体層下に第1の化合物半導体層とは異なる化合物半導体層からなるエッティングストップ層とを備え、第1の化合物半導体層をエッティングする際に、エッティングストップ層によってエッティング深さを制御することにより作製される半導体レーザ素子において、

第1化合物半導体層とエッティングストップ層との間に、第1の化合物半導体層及びエッティングストップ層の双方と異なる第2の化合物半導体層が介在していることを特徴としている。

【0019】

本発明で、第1の化合物半導体層及びエッティングストップ層の膜厚には制約はないが、第2の化合物半導体層の膜厚は、0.3nm以上である。0.3nm以下では、本発明の効果が乏しいからである。

本発明では、被エッティング層である第1の化合物半導体層と、エッティングスト

ップ層との間に、被エッチング層及びエッティングトップ層とは異なる第2の化合物半導体層を介在させて、中間層の生成を防止することにより、エッティングトップ層のエッティング耐性を向上させることができる。

本発明で中間層とは、第1の化合物半導体層及びエッティングトップ層とは異なる材料であって、第1の化合物半導体層及びエッティングトップ層の構成原子が複雑に混ざった不均一な組成の層を言う。

【0020】

InGaPエッティングトップ層を用いて、AlGaAs層のエッティングを制御する際に、本発明を適用して、InGaPエッティングトップ層とAlGaAs層との間にGaAs層を介在させることにより、InGaPエッティングトップ層の耐性を格段に向上させることができる。

【0021】

本発明及び後述の本発明方法は、上述の中間層が被エッティング層とエッティングトップ層との間に形成され易い、被エッティング層とエッティングトップ層との組み合わせの場合に好適に適用できる。

【0022】

好適には、第2の化合物半導体層は、第1の化合物半導体層及びエッティングトップ層の双方の材料と相互に異なる材料で、しかも基板と格子整合する材料を有する。

AlGaAs層の被エッティング層と、InGaP層のエッティングトップ層との組み合せを有する980nmのSAS半導体レーザ素子に好適な本発明の実施態様では、第1の化合物半導体層が少なくともAlを含む化合物半導体層であり、エッティングトップ層が少なくともPを含む化合物半導体層であり、第2の化合物半導体層がAl及びPの双方を含まない化合物半導体層である。

【0023】

本発明に係る半導体レーザ素子の作製方法は、半導体レーザ素子を構成する化合物半導体積層体の一部として、化合物半導体からなるエッティングトップ層、続いてエッティングトップ層上にエッティングトップ層とは組成の異なる第1の化合物半導体層を成膜し、次いで第1の化合物半導体層をエッティングする際に、

エッチングストップ層によってエッチング深さを制御することにより、半導体レーザ素子を作製する方法であって、

エッチングストップ層を成膜した後、第1の化合物半導体層及びエッチングストップ層の双方と異なる第2の化合物半導体層を成膜する工程と、

第2の化合物半導体層上に第1の化合物半導体層を成膜する工程と、

次いで、エッチングストップ層まで、第1の化合物半導体層及び第2の化合物半導体層をエッチングする工程と

を有することを特徴としている。

【0024】

更に、2層構造のエッチングストップ層を設けるときには、上記エッチングストップ層（以下、第1のエッチングストップ層と言う）を下地層上に成膜する前に、下地層上に第1のエッティングストップ層に対してエッティング選択性を有する化合物半導体層からなる第2のエッティングストップ層を成膜する工程を有し、

第2のエッティングストップ層をエッティングストップ層として、第1のエッティングストップ層をエッティングする工程を有する。

【0025】

本発明方法では、被エッティング層とエッティングストップ層との間に第2の化合物半導体層を介在させて、中間層の生成を防止することにより、エッティングストップ層のエッティングストップ耐性を高め、エッティングストップ層を用いた半導体層の選択エッティングの制御性を向上させている。

【0026】

【発明の実施の形態】

以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

半導体レーザ素子の実施形態例

本実施形態例は、本発明に係る半導体レーザ素子を980nm帯のSAS半導体レーザ素子に適用した実施形態の一例であって、図1は本実施形態例のSAS半導体レーザ素子の構成を示す断面図である。

本実施形態例のSAS半導体レーザ素子50は、図1に示すように、n-In

$n_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30と、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32との間に、膜厚5nmの $n-GaAs$ 層52が介在していることを除いて、従来のSAS半導体レーザ素子40と同じ構成を備えている。

尚、SAS半導体レーザ素子50には、 $p-GaAs$ キャップ層34上に p 側電極54、及び $n-GaAs$ 基板12の裏面には n 側電極56が、それぞれ、形成されている。

【0027】

本実施形態例のSAS半導体レーザ素子50では、 $n-GaAs$ 層52が介在することによって、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30とが相互に離間しているので、従来のように、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30との界面が形成されることもなく、従って、多種原子が不均一に混ざり合った中間層が界面に形成されることもない。

尚、中間層が形成されていないことは、透過型電子顕微鏡で確認することができ、また、本実施形態例のSAS半導体レーザ素子50の動作電圧及びしきい値は、 $n-GaAs$ 層52を介在させていないSAS半導体レーザ素子に比べ大幅に低くなった。

【0028】

半導体レーザ素子の作製方法の実施形態例

本実施形態例は、本発明に係る半導体レーザ素子の作製方法を上述のSAS半導体レーザ素子50の作製に適用した際の実施形態の一例である。図2(a)から(c)は、本実施形態例の方法に従ってSAS半導体レーザ素子を作製した際の工程毎の断面図である。

前述した従来の方法と同様にして、先ず、図2(a)に示すように、 $n-GaAs$ 基板12上に、 $n-Al_{0.3}Ga_{0.7}As$ クラッド層14、 $Al_{0.2}Ga_{0.8}As$ SCH層16、 $GaAs_{0.9}P_{0.1}$ バリア層18、 $In_{0.2}Ga_{0.8}As$ 活性層20、 $GaAs_{0.9}P_{0.1}$ バリア層22、及び、 $Al_{0.2}Ga_{0.8}As$ SCH層24を、順次、積層する。

【0029】

更に、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ SCH層24上に、 $p-\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ クラッド層26、膜厚10nmの $p-\text{GaAs}$ 第1エッティングストップ層28、膜厚10nmの $n-\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 第2エッティングストップ層30、膜厚5nmの GaAs 層52、膜厚200nmの $n-\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 電流ブロッキング層32、及び $p-\text{GaAs}$ キャップ層34の積層構造を形成する。

次いで、図2(a)に示すように、 $p-\text{GaAs}$ キャップ層34、 $n-\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 電流ブロッキング層32をエッティングするためには、エッティングマスク36を形成する。

【0030】

続いて、エッチャントとして、 $n-\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 第2エッティングストップ層30に対してエッティング選択性を示す酒石酸やクエン酸等のエッティング液を用いて、図2(b)に示すように、 $p-\text{GaAs}$ キャップ層34、 $n-\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 電流ブロッキング層32、及び $n-\text{GaAs}$ 層52をエッティングする。エッティングの進行を、 $n-\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 第2エッティングストップ層30で停止させた後、エッティングマスク36を除去する。

次に、エッチャントとして、 $p-\text{GaAs}$ 第1エッティングストップ層28に対してエッティング選択性を示す塩酸系エッチャント($\text{HCl} : \text{H}_2\text{PO}_4 = 1 : 3$)を用いて、図2(c)に示すように、 $n-\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 第2エッティングストップ層30をエッティングして、除去する。

【0031】

次いで、 $p-\text{GaAs}$ キャップ層34及び露出した $p-\text{GaAs}$ 第1エッティングストップ層28上に、 $p-\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 電流クラッド層38及び $p-\text{GaAs}$ キャップ層34を再成長させる。

次いで、 p 側電極54を $p-\text{GaAs}$ キャップ層34上に形成し、 $n-\text{GaAs}$ 基板12の裏面に n 側電極56を形成することにより、図1に示すように、980nm帯のSAS半導体レーザ素子のレーザ構造50を作製することができる。

【0032】

本実施形態例方法では、 $n-GaAs$ 層52が介在することによって、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30とが相互に離間しているので、従来のように、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30との界面が形成されることもなく、従って、多種原子が不均一に混ざり合った中間層が界面に形成されることもない。

従って、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32をエッチングした際、従来のように、表面荒れが $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30に生じるようなこともない。

【0033】

また、従来のように、中間層の形成によって、 $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30の組成が局所的に揺らいで、 $n-Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32をエッチングする際、全層にわたって均一な膜厚で存在することが難しくなるようなこともないので、第2エッチングストップ層30のエッチングストップ耐性が向上し、仮に第2エッチングストップ層30の膜厚が10nm以下であっても、エッチングされて、局所的に孔が開口するようなこともない。

実際に、エッチングストップ耐性が向上し、表面荒れの無い再成長界面が得られることを反射型電子顕微鏡の観察で確認することができた。

【0034】

更には、 $n-GaAs$ 層52を挿入することにより、中間層の生成が防止されるので、 $n-In_{0.49}Ga_{0.51}P$ 第2エッチングストップ層30をエッチングする際、従来のように、中間層が生成しているために、第2エッチングストップ層30を円滑にエッチングすることが難しいという問題もない。

本実施形態例の方法に従って作製したSAS半導体レーザ素子のレーザ特性を測定したところ、動作電圧及びしきい値は、 $GaAs$ 層を介在させていないために表面に $Al_{0.3}Ga_{0.7}As$ クラッド層が表面に露出した従来のSAS半導体レーザ素子に比べ大幅に低くなった。

【0035】

本実施形態例の効果は、AlGaAs層の被エッチング層と、InGaP層のエッチングストップ層との組み合せだけではなく、他の系の組み合せにも応用が可能である。

つまり、不均一な組成の中間層が形成され易い他の材料系の半導体層同士の界面に中間層の形成を防止する第2の化合物半導体層を挿入することによって、エッチングストップ層のエッチング耐性を向上させることができる。

【0036】

【発明の効果】

本発明によれば、エッチングストップ層によってエッチング深さを制御しつつ第1の化合物半導体層をエッチングすることにより作製される半導体レーザ素子において、第1化合物半導体層とエッチングストップ層との間に、第1の化合物半導体層及びエッチングストップ層の双方と異なる第2の化合物半導体層を介在させることにより、エッチングストップ層のエッチング耐性を向上させることができ、レーザ特性が良好で信頼性の高い半導体レーザ素子を実現することができる。

本発明方法によれば、第1の化合物半導体層とエッチングストップ層との間に、第2の化合物半導体層を挿入することにより、エッティングストップ層の耐性を向上させ、半導体レーザ作製プロセスにおけるエッティング制御の精度を向上させることができる。

【図面の簡単な説明】

【図1】

実施形態例のSAS半導体レーザ素子の構成を示す断面図である。

【図2】

図2(a)から(c)は、それぞれ、実施形態例の方法に従ってSAS半導体レーザ素子を作製した際の工程毎の断面図である。

【図3】

980nm帯のSAS半導体レーザ素子を作製するに当たり、従来の方法によって積層構造をエッチングする際の工程毎の断面図である。

【図4】

図4 (a) から (c) は、それぞれ、図3に続いて、980nm帯のSAS半導体レーザ素子を作製するに当たり、従来の方法によって積層構造をエッチングする際の工程毎の断面図である。

【図5】

図5 (a) 及び (b) は、それぞれ、エッチングストップ層をエッティング制御に使った従来のエッティング方法の問題点を説明する模式的断面図である。

【符号の説明】

1 2 n-GaAs 基板

1 4 n-Al_{0.3}Ga_{0.7}As クラッド層

1 6 Al_{0.2}Ga_{0.8}As SCH層

1 8 GaAs_{0.9}P_{0.1} バリア層

2 0 In_{0.2}Ga_{0.8}As 活性層

2 2 GaAs_{0.9}P_{0.1} バリア層

2 4 Al_{0.2}Ga_{0.8}As-SCH層

2 6 p-Al_{0.3}Ga_{0.7}As クラッド層

2 8 p-GaAs 第1エッティングストップ層

3 0 n-In_{0.49}Ga_{0.51}P 第2エッティングストップ層

3 2 n-Al_{0.35}Ga_{0.65}As 電流ブロッキング層

3 4 p-GaAs キャップ層

3 8 p-Al_{0.3}Ga_{0.7}As クラッド層

5 0 実施形態例の980nm帯のSAS半導体レーザ素子

5 2 n-GaAs 層

5 4 p側電極

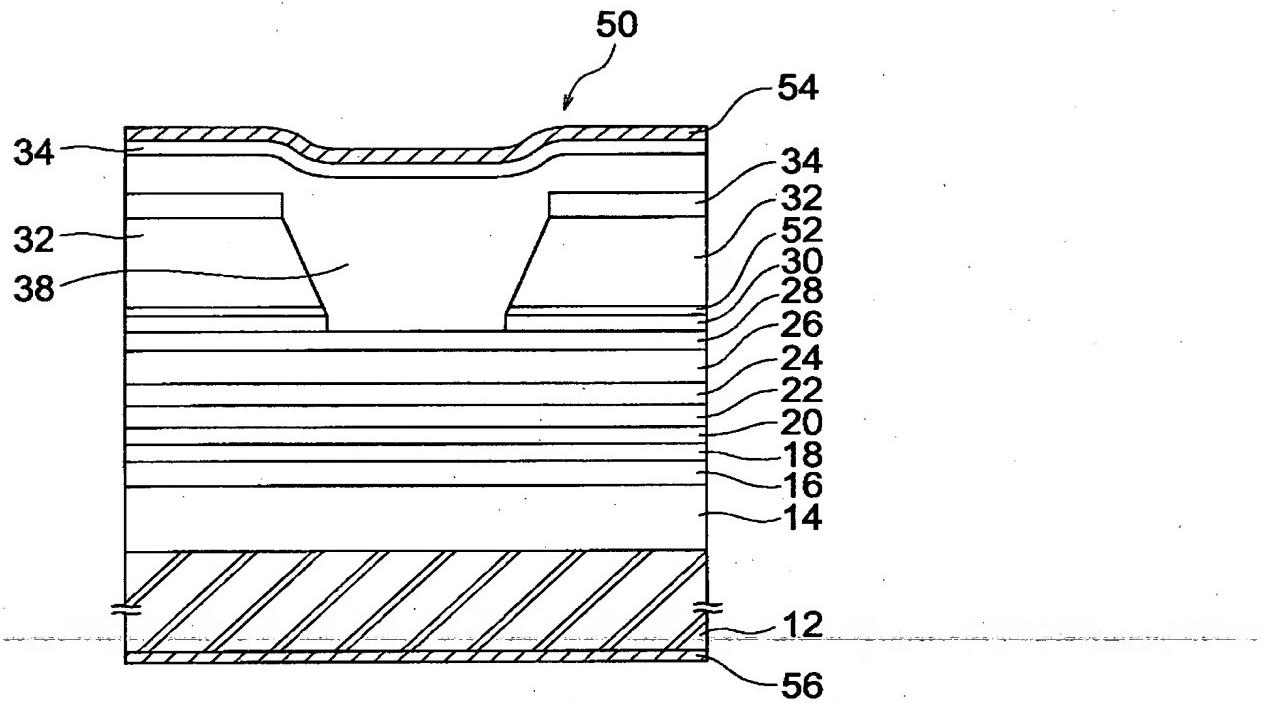
5 6 n側電極

3 6 エッティングマスク

4 0 980nm帯のSAS半導体レーザ素子のレーザ構造

【書類名】 図面

【図1】



12 n-GaAs 基板

14 n-Al_{0.3}Ga_{0.7}As クラッド層16 Al_{0.2}Ga_{0.8}AsSCH層18 GaAs_{0.9}P_{0.1}バリア層20 In_{0.2}Ga_{0.8}As活性層22 GaAs_{0.9}P_{0.1}バリア層24 Al_{0.2}Ga_{0.8}AsSCH層26 p-Al_{0.3}Ga_{0.7}As クラッド層

28 p-GaAs第1エッチングストップ層

30 n-In_{0.49}Ga_{0.51}P第2エッチングストップ層32 n-Al_{0.35}Ga_{0.65}As電流プロッキング層

34 p-GaAsキャップ層

38 p-Al_{0.3}Ga_{0.7}As クラッド層

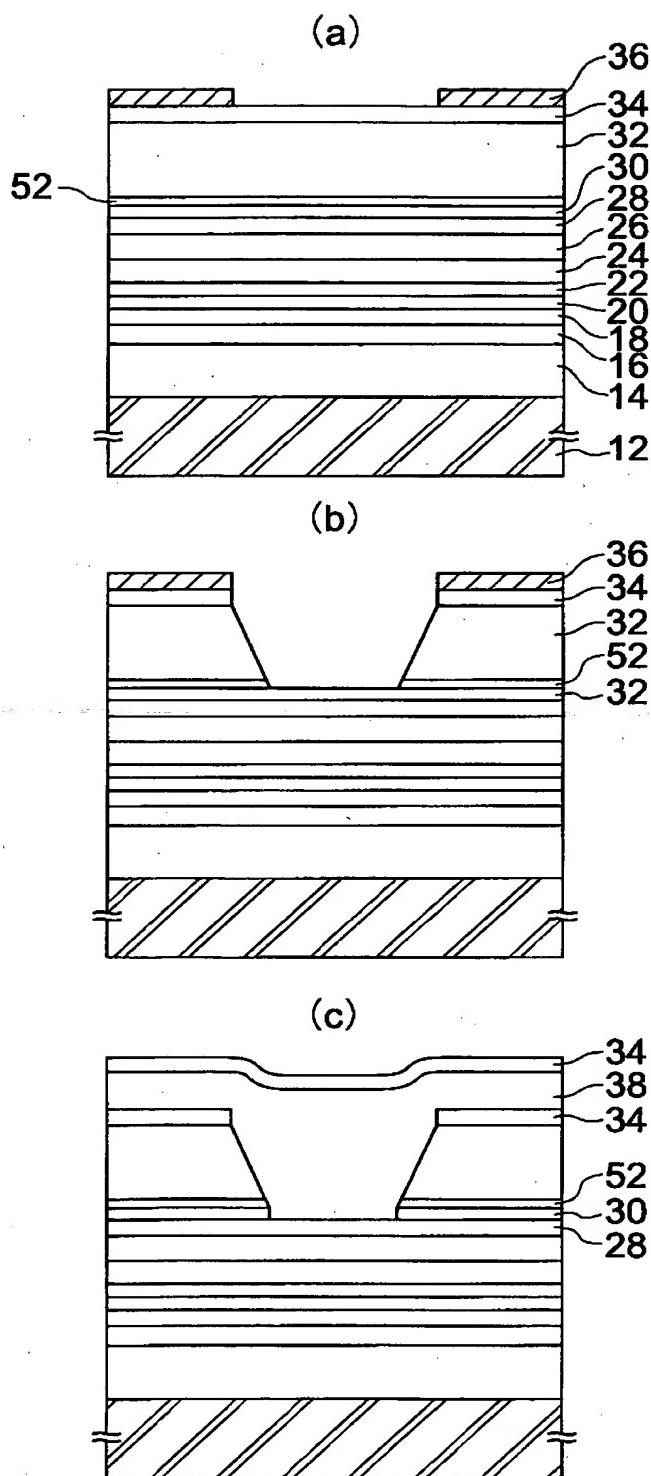
50 実施形態例の980nm帯のSAS半導体レーザ素子

52 n-GaAs層

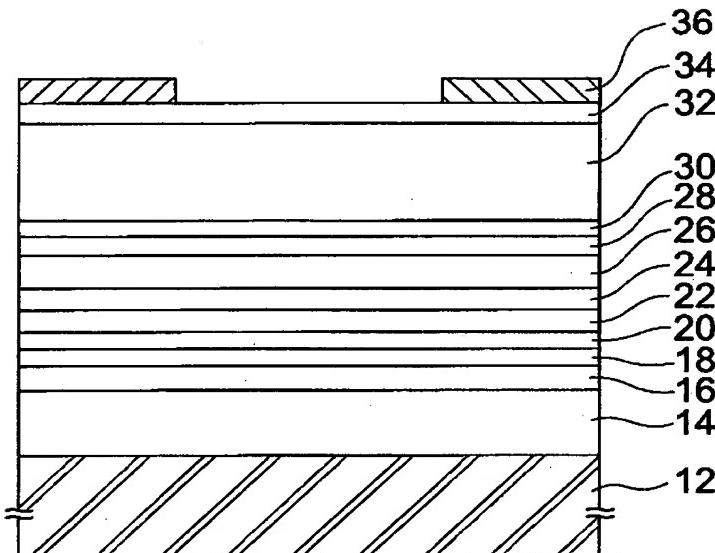
54 p側電極

56 n側電極

【図2】



【図3】



12 n-GaAs基板

14 n-Al_{0.3}Ga_{0.7}As クラッド層16 Al_{0.2}Ga_{0.8}AsSCH層18 GaAs_{0.9}P_{0.1}バリア層20 In_{0.2}Ga_{0.8}As活性層22 GaAs_{0.9}P_{0.1}バリア層24 Al_{0.2}Ga_{0.8}AsSCH層26 p-Al_{0.3}Ga_{0.7}As クラッド層

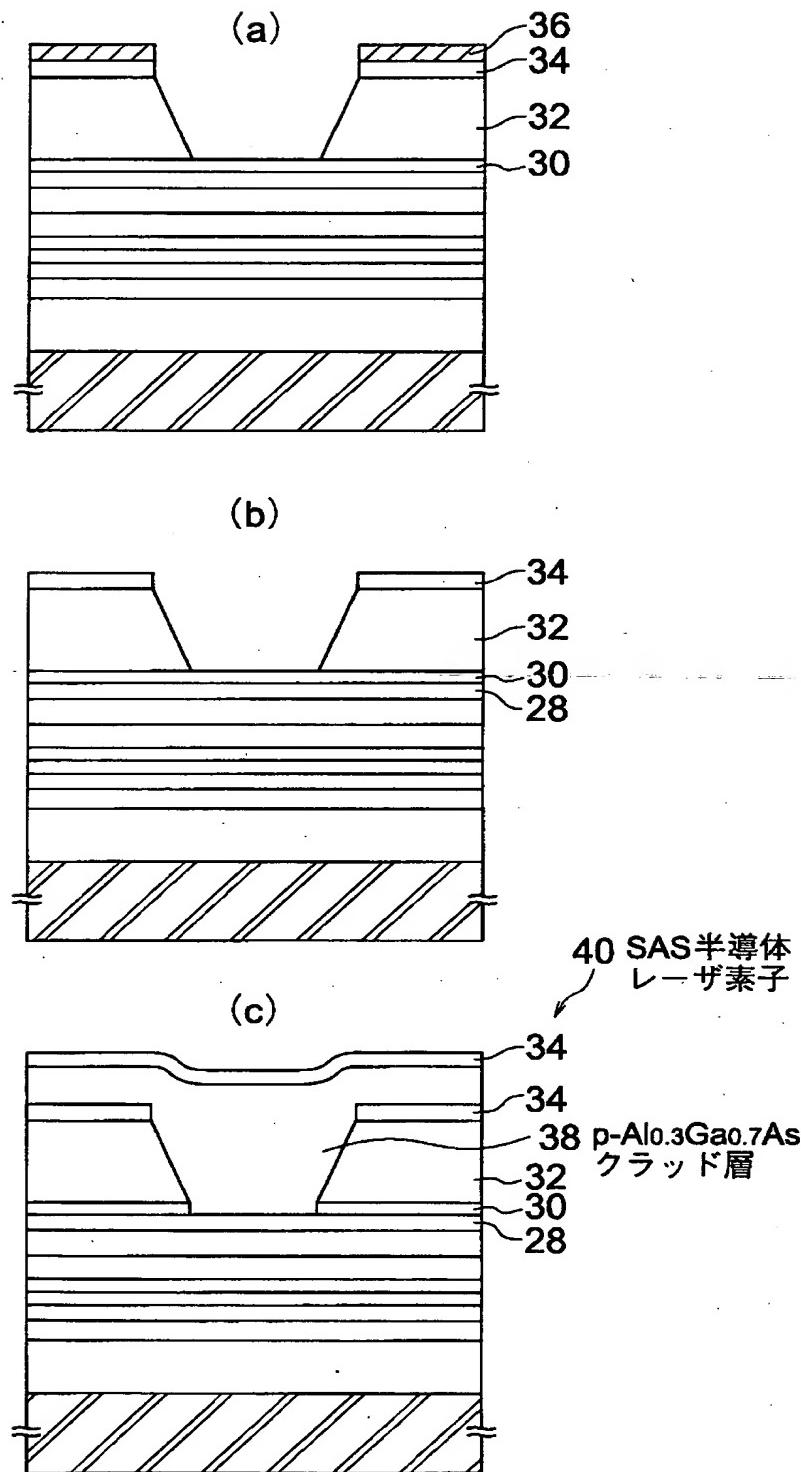
28 p-GaAs第1エッティングストップ層

30 n-In_{0.49}Ga_{0.51}P第2エッティングストップ層32 n-Al_{0.35}Ga_{0.65}As電流ブロッキング層

34 p-GaAsキャップ層

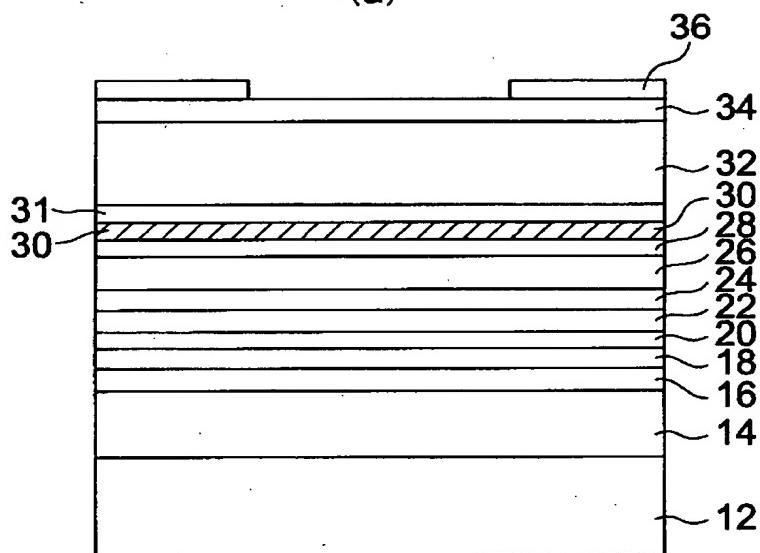
36 エッティングマスク

【図4】

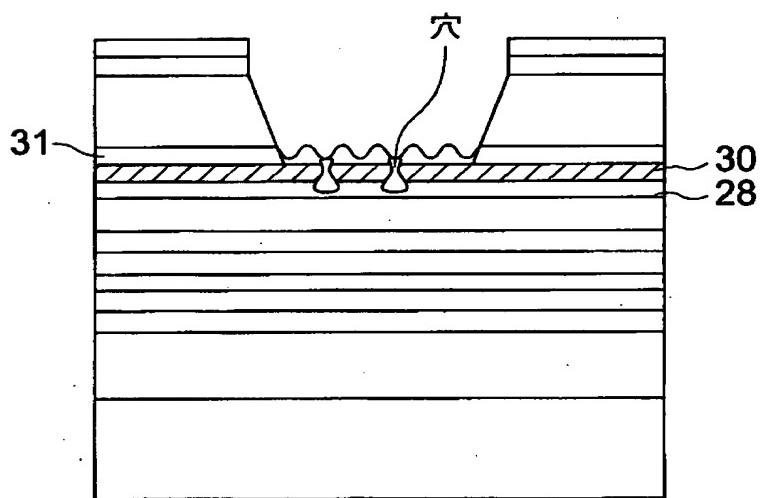


【図5】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 レーザ特性及び信頼性の良好な半導体レーザ素子を提供する。

【解決手段】 本S A S半導体レーザ素子50は、 $n - In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30と、 $n - Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32との間に、膜厚10nmの $n - GaAs$ 層52が介在していることを除いて、従来の2層エッティングストップ層構造のS A S半導体レーザ素子と同じ構成を備えている。 $n - GaAs$ 層52が介在することによって、 $n - Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n - In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30とが相互に離間しているので、従来のように、 $n - Al_{0.35}Ga_{0.65}As$ 電流ブロッキング層32と $n - In_{0.49}Ga_{0.51}P$ 第2エッティングストップ層30との界面が形成されることもなく、従って、多種原子が不均一に混ざり合った中間層が界面に形成されることもない。

【選択図】 図1

出願人履歴情報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目6番1号

氏 名 古河電気工業株式会社